



【 数値計算の効率的なハードウェア実装法に関する研究 】

【 研究キーワード：数値計算の高速化、FPGA 実装、メモリベース設計手法、決定グラフを用いた設計自動化 】

情報科学研究科 情報工学専攻

教授 永山 忍 NAGAYAMA, Shinobu

研究シーズの概要

三角関数や対数関数などの数学関数から流体解析などで用いられる複雑な微分方程式に至るまでの様々な数値計算を、FPGA で高速かつコンパクトに実装する方法についての研究を行っています。実装に決定グラフやメモリなど（これまでとは異なるアプローチ）を用いることにより、計算の無駄を省き、実装の効率化を目指しています。また単に実装の効率化を図るだけでなく、メンテナンスのしやすさ（設計変更等への柔軟な対応）も考慮した実装を目指しています。

研究シーズの詳細

◆研究例◆

三角関数や対数関数などの数学関数は、様々な分野で基本演算として使われているので、高速な計算が求められ続けています。しかし、数学関数は、その多様さから専用ハードウェアによる高速化は、コストの面で利点がありません。そのため、多様な数学関数を1つの回路で実現できる再構成可能なハードウェアでの高速化が求められています。

そこで、決定グラフに基づくメモリベース回路を提案しました。メモリを書き換えることで多様な関数を実現できる柔軟性を保ちつつ、高速化を達成しました。また、提案した回路を与えられた数学関数と指定された精度から自動生成する合成ツールも作成し、ユーザーは回路構成を意識することなく数学関数計算の高速化が可能となります。

一変数の数学関数だけでなく、二変数以上の数学関数の効率的な計算についても研究しており、複雑な関数でも単純な回路構成で実現可能な手法を提案しました。

◆研究例◆

数学関数は基本演算として広く利用されていますが、流体解析などの数値解析全体の計算から見ると、一部の計算にすぎません。また、数値解析では時刻を進めながら何度も繰り返し計算し、微分方程式の解を求めることが多くあります。そのため、計算量が多く、数値解析全体の高速化が求められています。

そこで、決定グラフを用いた回路やシストリックアレイに基づく回路を提案しました。複雑な計算を事前計算し、結果をメモリに格納することで無駄な計算を省けます。その際、増加するメモリ量を決定グラフで圧縮することで、高速かつコンパクトな回路を設計できます。また、シストリックアレイ内の各計算セルで微分方程式における微小空間を並列に計算することで、計算の高速化を狙い、ソフトウェアでの数値解析に比べ、数十倍の計算高速化を達成しました。設計した回路自体は特定の微分方程式に特化したものですが、設計手法は汎用的なものなので、多様な数値解析の高速化が可能です。

想定される用途・応用例

- ◆ロボットなどの機械のリアルタイム制御、信号処理の高速化、画像処理の高速化など
- ◆家電製品や自動車などの組み込みシステムの高機能化（複雑な計算への対応）
- ◆天体計測や科学技術計算、および流体解析などの数値解析の高速化

セールスポイント

本研究は、企業と共同で行ったテーマもあり、共同研究の実績があります。基盤技術であるため、汎用性が高く、数学関数や数値解析を用いる様々な応用分野に研究成果を適用できます。世の中の様々な現象は、数式でモデル化されることが多く、IoT 時代のデジタルシステムの普及に伴い、今後、更に多くの現象がモデル化されることが予想されます。組み込みシステムで高速に計算できるようになると、更にデジタルシステムの応用分野が広がるだろうと考えております。

問い合わせ先：広島市立大学 社会連携センター

TEL:082-830-1764 FAX:082-830-1555

E-mail:office-shakai@m.hiroshima-cu.ac.jp

〒731-3194

広島市安佐南区大塚東三丁目4番1号

(情報科学部棟別館1F)